

用于5G通信的射频微系统与天线一体化 三维扇外型集成封装

夏晨辉,王 刚,王 波,明雪飞

(中国电子科技集团公司第五十八研究所,江苏无锡 214035)

摘 要: 本文研究了一种用于5G通信的射频微系统与天线一体化三维扇外型集成封装技术. 通过在玻璃晶圆上使用双面布线工艺,实现毫米波天线阵列的制作. 将TSV转接芯片与射频芯片倒装焊在玻璃晶圆上,再用树脂材料进行注塑,将玻璃晶圆与异构芯片重构成玻璃与树脂永久键合的晶圆. 减薄树脂晶圆面漏出TSV转接芯片的铜柱,在树脂表面上完成再布线. 把控制、电源管理等芯片倒装焊在再布线形成的焊盘处,植上BGA焊球形成最终封装体. 利用毫米波探针台对射频传输线的损耗进行测量,结果表明,1 mm长的CPW传输线射频传输损耗在60 GHz仅为0.6 dB. 在玻璃晶圆上设计了一种缝隙耦合天线,天线在59.8 GHz的工作频率最大增益达到6 dB. 这为5G通信的射频微系统与天线一体化三维扇外型集成提供了一个切实可行的解决方案.

关键词: 天线封装;扇外型封装;射频微系统;5G通信;三维集成

中图分类号: TN305.94;TN453

文献标识码: A

文章编号: 0372-2112(2023)06-1572-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20210991

Integrated 3D Fan-Out Package of RF Microsystem and Antenna for 5G Communication

XIA Chen-hui, WANG Gang, WANG Bo, MING Xue-fei

(The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi, Jiangsu 214035, China)

Abstract: A 3D fan-out packaging method for the integration of 5G communication radio frequency (RF) microsystem and antenna is studied. Through the double-sided wiring technology on the glass wafer, the fabrication of millimeter wave antenna array is realized. Then the low power devices such as through silicon via (TSV) transfer chips and RF chips are flip-welded on the glass wafer, and the glass wafer is reformed into a wafer permanently bonded with glass and resin by the injection molding process with resin material. The thinning resin surface leaks out of the TSV transfer chip, and the re-wiring is carried out on the resin surface, and then the control, power management and other devices are flip-welded on the pad formed by RDL. Ball grid array (BGA) is implanted to form the final package. The loss of the RF transmission line is measured by using the RF millimeter wave probe table. The results show that the RF transmission loss from the chip end to the antenna end in the fan-out package is very small, and it is only 0.6 dB when working in 60 GHz. A slot coupling antenna is designed on the glass wafer. The antenna can operate at 59.8 GHz and the maximum gain can reach 6 dB within the working bandwidth. This demonstration successfully provides a feasible solution for the 3D fan-out integration of RF microsystem and antenna in 5G communication.

Key words: antenna in package; fan-out package; RF microsystem; 5G communication; 3D integration

1 引言

当前通信系统的工作频率越来越高,最高已达到太赫兹频段,体积和功耗也越来越小,且对射频系统的性能要求越来越高. 在通信和传感应用中,如5G通信和汽车雷达,都需要整合射频系统的各个部分,以建立

具有迷你尺寸和多功能的“万物一体”模块. 由于微波的波长随着频率的增加而减小,天线和互连线的特征电长度可以减少到毫米甚至微米级,这就对互连工艺的制造精度要求更高. 具有异质集成能力的封装技术为具有不同材料和制造特点的芯片提供了新型封装结构^[1,2]. 基于晶圆级制造的封装工艺,可以将封装天线

(Antenna In Package, AIP)与异构芯片同时制造成一个完整的系统. 该工艺提供了射频微系统与天线一体化和低成本制造的解决方案^[3].

为了满足 5G 小型化通信系统的需求,需要在毫米波频率范围内采用新的封装技术,以解决毫米波天线封装的基本技术难题,如低损耗和超宽带互连、高布线密度、薄封装基板、高性能集成无源器件(Integrated Passive Device, IPD)和集成小型化^[4]. 目前已有几十篇关于 AIP 及其应用的论文被报道^[5]. 尖端系统公司和半导体封测厂已经提供了许多 AIP 解决方案,其中许多是基于 WLFO 工艺的,衬底选择主要集中在硅、有机化合物和玻璃等^[6,7]. 玻璃基板具有较低的 ϵ 和 CTE,是高频应用的理想选择;另外,玻璃晶圆可以很好地与树脂材料结合,便于异质集成^[8,9]. 通过在 AIP 模块中结合玻璃材料优势和树脂基扇出封装工艺,可以将性能和成本的优势结合起来. 60 GHz 频段的封装天线是一个研究热点. 传统的印刷电路板(PCB)技术对于实现多层结构和天线阵列非常方便^[10]. 低温共烧陶瓷(Low Temperature Co-fired Ceramic, LTCC)技术具有结构轻薄、布线层多、线宽窄等优点,但其层压温度高于 850 °C,远高于有源器件的破坏性温度. 因此,LTCC 工艺虽然可以制造出集成无源器件和天线的多层基板,但由于 LTCC 是高温工艺,有源器件必须进行单独封装和连接^[11,12].

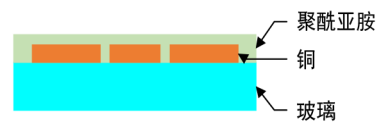
本文提出了一种用于 5G 通信的射频微系统与天线一体化三维扇出型集成封装技术,基于全新的三维扇出型晶圆级封装架构. 设计 5G 通信用 AIP 系统架构,开展了缝隙耦合天线设计优化,实现了高增益、低旁瓣 5G 通信天线阵列方案. 设计了玻璃晶圆与树脂重构晶圆永久键合工艺,基于玻璃和树脂复合工艺,实现异构芯片和天线阵的高密度集成互连. 最后完成天线与射频微系统的封装工艺制造,实现了高品质的 5G 通信 AIP 微系统工艺样机制造,天线通道 64 个,集成了 2 个 TSV 芯片和 7 个射频芯片,尺寸仅为 18 mm × 18 mm × 1 mm,可以满足小型化 5G 通信设备的应用需求.

2 传输损耗的测量

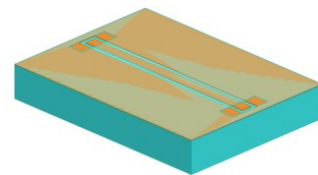
2.1 传输线的测试

为了得到扇出型三维集成封装的射频传输性能,在玻璃晶圆上设计了平面的共面波导线(CoPlanar Waveguide, CPW)传输线和三维堆叠的 CPW 传输结构. 因为射频微系统与天线的连接通常采用 CPW 连接,所以得到 CPW 的射频传输损耗很重要^[13]. CPW 传输线在三维扇出型晶圆级封装中采用 RDL 工艺实现. CPW 传输线结构的地分布在信号线的两侧,它非常适用于毫米波探针台,这样对于测试更加方便. CPW 的结

构如图 1 所示.



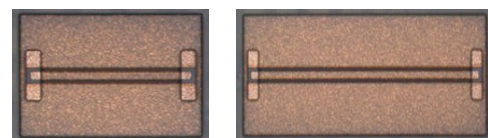
(a) CPW 的剖面图



(b) CPW 的三维示意图

图 1 CPW 的结构示意图

首先在玻璃晶圆上制作了 CPW 传输线结构. CPW 传输线如图 2 所示,该玻璃晶圆的相对介电常数为 6.3,介质损耗角正切为 0.01,玻璃衬底的厚度为 300 μm . 传输线由铜制成,厚度为 5 μm . 在传输线表面覆盖一层 10 μm 厚的聚酰亚胺,以保护铜布线层和防止铜的氧化. CPW 传输线的宽度为 70 μm ,间距为 25 μm ,分别制作了长度为 1.00 mm, 1.60 mm, 2.20 mm 的 CPW 传输线. 在传输线的两端聚酰亚胺层开了 100 μm × 300 μm 的矩形测试窗口.



(a) 1.00 mm 的 CPW1

(b) 1.60 mm 的 CPW2



(c) 2.20 mm 的 CPW3

图 2 3 种不同长度的 CPW 照片

传输线在高频探针测试台上进行测量,使用 100 μm 间距的 GSG 探针头和 67 GHz 性能的 PNA 网络分析仪. 测试结果如图 3 所示. 从图 3 可以看出,CPW 工作在 60 GHz 时的插入损耗均不到 1 dB(表 1),这表明,玻璃晶圆的射频传输损耗非常小,是射频微系统与天线一体化三维扇出型集成应用的一种较好的选择材料.

2.2 堆叠结构的测试

把玻璃基的 CPW 传输线通过扇出型封装,形成扇出型封装体,来模拟射频芯片的扇出型封装结构. 在封装体的引出端处植上 BGA 焊球,倒装焊在玻璃基 CPW

表1 工作在 60 GHz 的 CPW 传输损耗

编号	长度/mm	损耗/dB (@60 GHz)
CPW1	1.00	-0.60
CPW2	1.60	-0.79
CPW3	2.20	-0.93

基板上,用来测试信号从芯片端传输到封装体的一条完成的传输链路.该结构包含了扇外型封装用的 RDL 走线,堆叠用的 BGA 焊球以及多层堆叠键合用的底部填充,是三维扇外型封装中所用的一种典型互连结构,完整地模拟了三维集成封装中信号走线所用的各种工艺与材料.工艺结构和加工的照片如图 4 所示,堆叠互连封装体的加工尺寸为 $5\text{ mm} \times 6\text{ mm} \times 0.92\text{ mm}$.

图 5 是堆叠互连组件信号传输路径示意图,建立了一条从芯片端经过扇出封装的再布线,通过焊球穿过底填料,再到基板的完整的传输路径.

堆叠传输结构最终在高频探针台进行测量,测试结果如图 6 所示,可以看到,三维堆叠的 CPW 与 BGA 传输结构的射频传输损耗在 60 GHz 时的插入损耗为 2 dB,这说明三维扇外型封装结构并不会引入过多的损耗.

3 封装天线

3.1 封装天线的设计

贴片天线非常适用于晶圆级加工工艺^[14].在玻璃晶圆的正反两面进行布线工艺,完成一种缝隙耦合天线.玻璃晶圆的正面作为天线的辐射贴片,辐射贴片采用两块半圆形贴片实现.背面作为天线的馈电及反射地平面,耦合缝隙位于辐射贴片的正下方,用于激励辐射贴片.贴片天线采用终端开路、缝隙耦合的 CPW 馈电,调节 CPW 的尺寸,使其特征阻抗为 $50\ \Omega$.梯形耦合缝隙位于贴片的正下方,耦合缝隙的作用是使整个贴

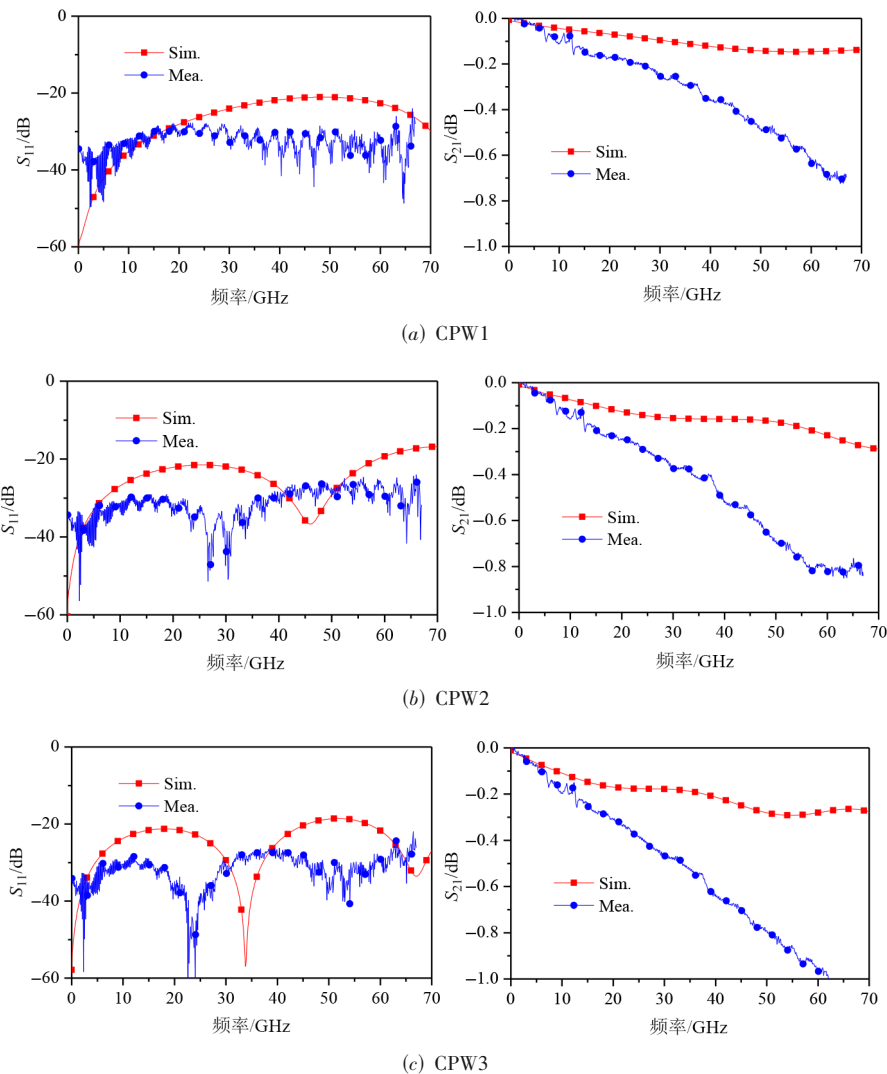
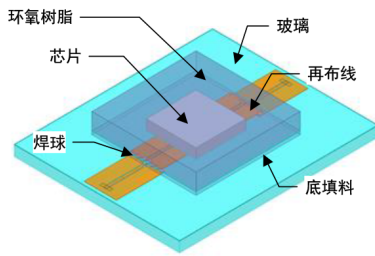
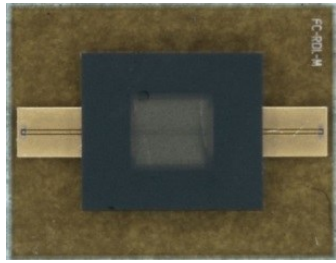


图3 CPW 的测试与仿真结果



(a) 堆叠互连组件示意图



(b) 堆叠互连组件照片

图 4 堆叠互连传输结构



图 5 射频信号通过封装体的传输路径

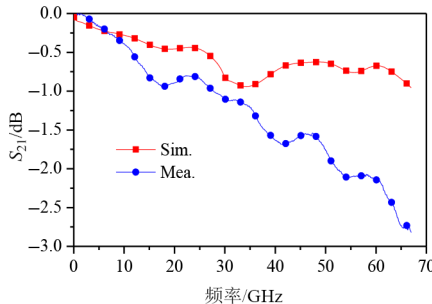
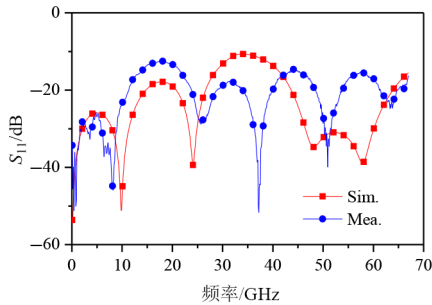
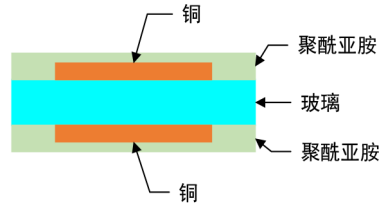


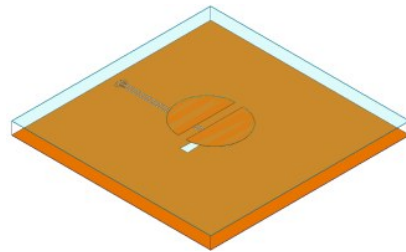
图 6 三维堆叠结构测试与仿真结果对比

片都受到激发,而不需要额外的缝隙耦合层,使其更容易与电路集成.正是由于耦合缝隙的存在,原本在接地板上沿着 CPW 缝隙两边流动的电流会沿着耦合缝隙边

缘流动,使 CPW 与辐射贴片间的电磁耦合得到加强.图 7 是缝隙耦合天线的结构图.



(a) 天线剖面结构图



(b) 天线三维结构图

图 7 天线结构与几何形状

利用电磁仿真软件 HFSS 对缝隙耦合天线进行电磁仿真及优化.经过分析和优化,天线单元的尺寸为 $5\text{ mm} \times 5\text{ mm}$,两个半圆形辐射贴片的直径为 1.43 mm ,两个半圆形辐射贴片的缝隙 $g=0.196\text{ mm}$,馈线及耦合缝隙的尺寸为 $W=2.8\text{ mm}$, $W_1=0.2\text{ mm}$, $L_1=0.07\text{ mm}$, $L_2=0.615\text{ mm}$, $g_1=0.025\text{ mm}$ (图 8).

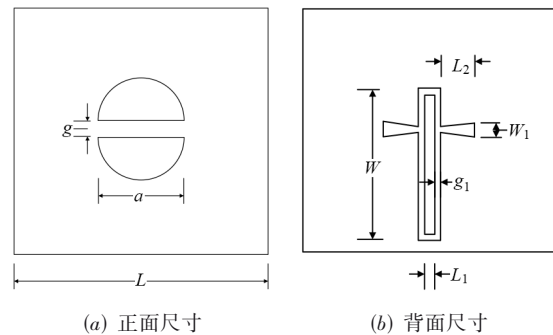


图 8 天线的具体尺寸

3.2 封装天线的加工与测试

缝隙耦合天线的制作通过玻璃晶圆的正反面布线实现(图 9).首先制作天线的辐射面,在玻璃晶圆的正面制作 $5\text{ }\mu\text{m}$ 厚的铜,再用 $10\text{ }\mu\text{m}$ 厚的聚酰亚胺全面涂覆进行保护.在玻璃晶圆的背面制作 CPW 馈线和耦合缝隙,同样也用聚酰亚胺进行保护,并在聚酰亚胺层上开出矩形的测试端口,漏出铜的 CPW 传输线.

通过高频探针台对天线结构进行测量,从测量结果中可以发现,天线反射系数在 -10 dB 以下的工作频

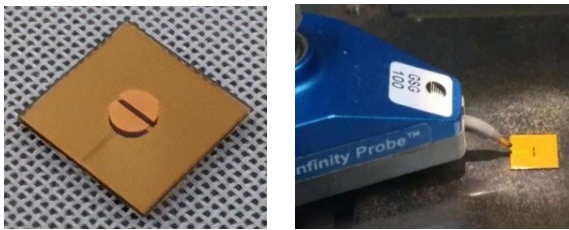


图9 缝隙耦合天线照片和测试照片

率为 56.2~63.8 GHz. 仿真结果与测量结果之间的差异主要归因于制造过程中工艺的偏差,不过天线依然有 7.6 GHz 的工作带宽,能很好地满足设计要求. 图 10 显示了天线的反射系数.

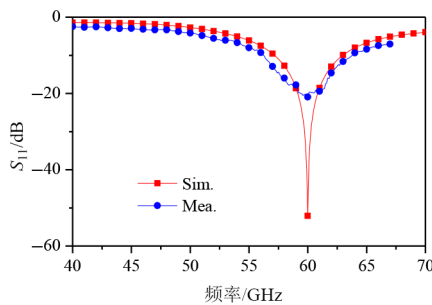


图 10 天线的反射系数

图 11 给出了天线的辐射方向图,通过天线的辐射方向图可以看到,天线的辐射方向朝着辐射贴片的正上方,这个特性非常适用于射频微系统与天线一体化的堆叠类型的集成形式,在三维堆叠集成的顶端用于收发天线的制作,底端用于射频芯片的集成.

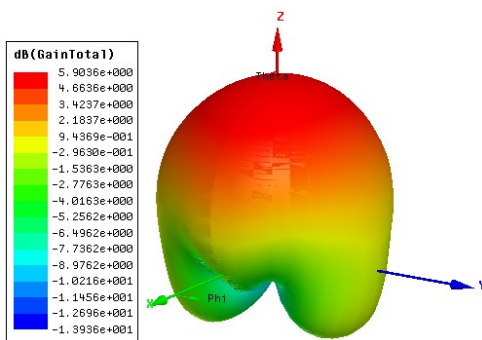


图 11 天线的辐射方向图

天线在整个工作带宽内的增益均在 5.5 dB 以上,在 59.8 GHz 有最大增益 6 dB,而且有良好的方向性. 图 12 显示了天线在工作带宽内的增益情况.

4 射频微系统与天线一体化集成

4.1 三维集成微系统的架构设计

本文针对一种 5G 通信设备制作了一种具体的封装样机. 它由 9 颗芯片和 64 单元的天线阵组成,包含了

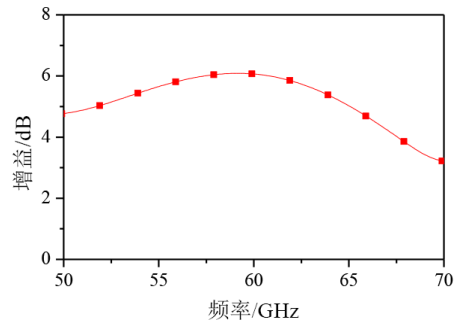


图 12 天线的增益

3 颗内埋置芯片和 2 颗 TSV 转接芯片以及 4 颗外置芯片,TSV 转接芯片用来实现纵向信号传输. 图 13 是三维扇出型射频微系统与天线一体化集成样机的三维结构示意图.

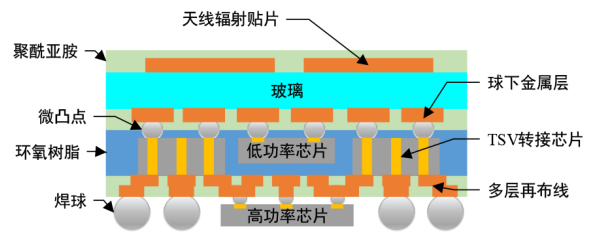


图 13 三维集成射频微系统样机结构示意图

图 14 描述了射频前端与天线一体化封装的架构,展示了天线和芯片层垂直堆叠的多层结构. 在三维结构的最顶端,天线贴片阵列以及馈电结构被制作在玻璃晶圆上,用于射频微系统的接收和发射. 低功率芯片被嵌入扇出封装体内,作为内核部分,并通过 RDL 和 TSV 结构互连,用于信号传输. 此外,高功率芯片作为信号处理或电源供电部分被连接在下面,在外部引出端处植上焊球作为 I/O 端口. 整个微系统可以作为一个射频收发器被焊接在系统板上.

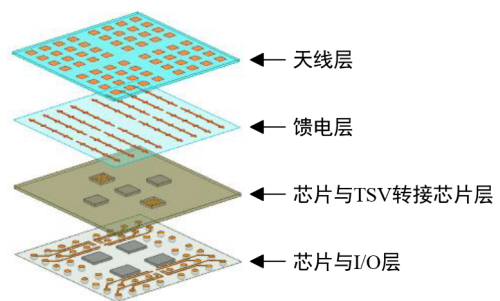


图 14 三维扇出型射频微系统结构示意图

4.2 封装天线三维集成微系统结构仿真

架构设计完成后,对设计方案进行晶圆重构温度下的翘曲变形仿真. 根据加工流程,封装体在晶圆重构过程中承受最高温度为 220 °C,环境温度作用导致的芯片翘曲变形和局部应力集中,会造成芯片分层,同时

环境温度也会影响芯片界面强度,间接影响芯片分层.本节针对设计方案,进行芯片重构时的应力应变仿真分析.所建的三维有限元模型如图 15 所示,网格划分成边长为 0.2 mm 的单元,由于芯片内部各组分材料之间的结合面为关键区域,结合面处的热传导也会极大地影响芯片最终的温度场分布,故对芯片内部结合面和比较薄的铜线层处的网格进行细化.

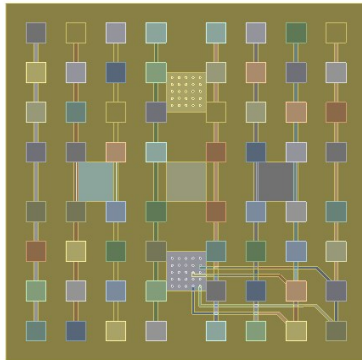


图 15 三维有限元模型

在此模型之上,定义芯片内部各组分材料的物性参数,如表 2 所示,包括密度、热膨胀系数、弹性模量和泊松比,仿真的参考温度取晶圆重构温度 220 °C,将以上参数设定好之后,通过仿真计算,得到塑封后封装体在重构温度下的翘曲变形、应力场分布及应变分布.如图 16 所示,最大应力出现在 TSV 芯片与塑封料连接处,封装体在封装中心区域($L \leq 5$ mm)几乎没有发生翘曲变形;从 $L=5$ mm 开始,沿着观测线往边界的方向上,逐渐发生翘曲变形,且翘曲度越来越大,在末端达到最大翘曲值 89 μm ,工艺允许最大翘曲 190 μm ,满足封装工艺要求(图 17).

表 2 各组分材料的物性参数

材料	密度/ ($\text{kg} \cdot \text{m}^{-3}$)	热膨胀系数/ ($10^{-6} \cdot \text{K}$)	弹性模量/ Mpa	泊松比
硅	2 330	2.6	131	0.28
铜	8 900	17.0	121	0.34
塑封料	2020	7.3	22	0.30
玻璃	2 465	9.4	69.9	0.21
PI	1 500	4.5	3.3	0.40

4.3 三维集成微系统的制造工艺

射频微系统与天线一体化集成采用一种新型晶圆级三维扇出型封装工艺实现.它与传统的三维堆叠封装不同.本文采用了一种树脂晶圆与玻璃晶圆永久键合的工艺,两层晶圆之间避免使用 BGA 焊接工艺,这对射频器件的低损耗要求来说非常关键,在射频器件与天线的互连系统中,直接采用 RDL 工艺实现.晶圆级封装技术是把晶圆作为加工对象,直接在晶圆上进行

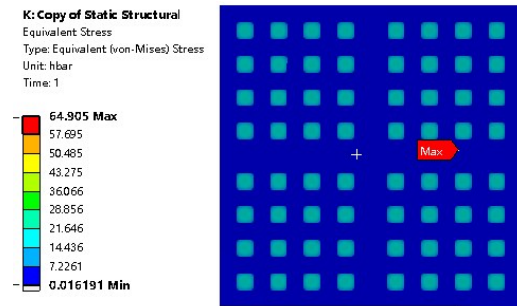


图 16 单个封装体应力分布

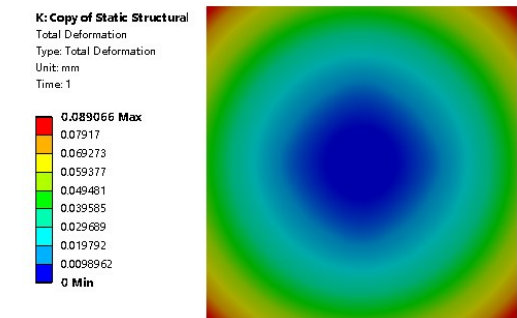


图 17 单个封装体翘曲

封装工艺流程,具有很高的加工精度和一致性,其布线精度可以达到 1 μm .前面第一节也验证的晶圆级封装的射频传输损耗,可以看到,射频互连的传输损耗非常小,这将非常利于射频微系统与天线一体化的集成.图 18 是本文所使用的三维扇出型射频微系统的封装工艺流程.

本文所设计的射频微系统与天线一体化集成工艺样机的具体制作过程如下.

首先在玻璃晶圆的正面依次形成布线层和钝化层;将玻璃晶圆翻转 180°背面朝上,在玻璃晶圆的背面依次形成布线层和钝化层,并在钝化层上开口;将带有凸点的 TSV 转接芯片、滤波器和天线调谐器芯片倒装焊至玻璃晶圆背面钝化层开口处.图 19 是 5 颗芯片倒装焊至玻璃晶圆背面时的工艺照片.

再用包覆料将 TSV 转接芯片与射频芯片等组件包覆,重构形成新的晶圆载体.在玻璃晶圆上进行晶圆级注塑面临玻璃与树脂材料 CTE 不匹配的问题,这会导致在高温固化后的树脂与玻璃键合晶圆翘曲较大,进而影响后续的减薄与再布线工艺.通过工艺实施之后,发现这种多层键合晶圆结构的翘曲小于 3 mm,并不会影响后续的减薄工艺.图 20 是玻璃与树脂键合晶圆及晶圆树脂面减薄的照片.

在重构的新晶圆背面进行减薄,减薄至露出 TSV 转接板的铜柱焊盘面,在重构的新晶圆载体的背面形成布线层、钝化层和 UBM 层.减薄晶圆的树脂面漏出 TSV 芯片的铜柱,考虑到不伤害 TSV 芯片,在本道工序中分成粗磨

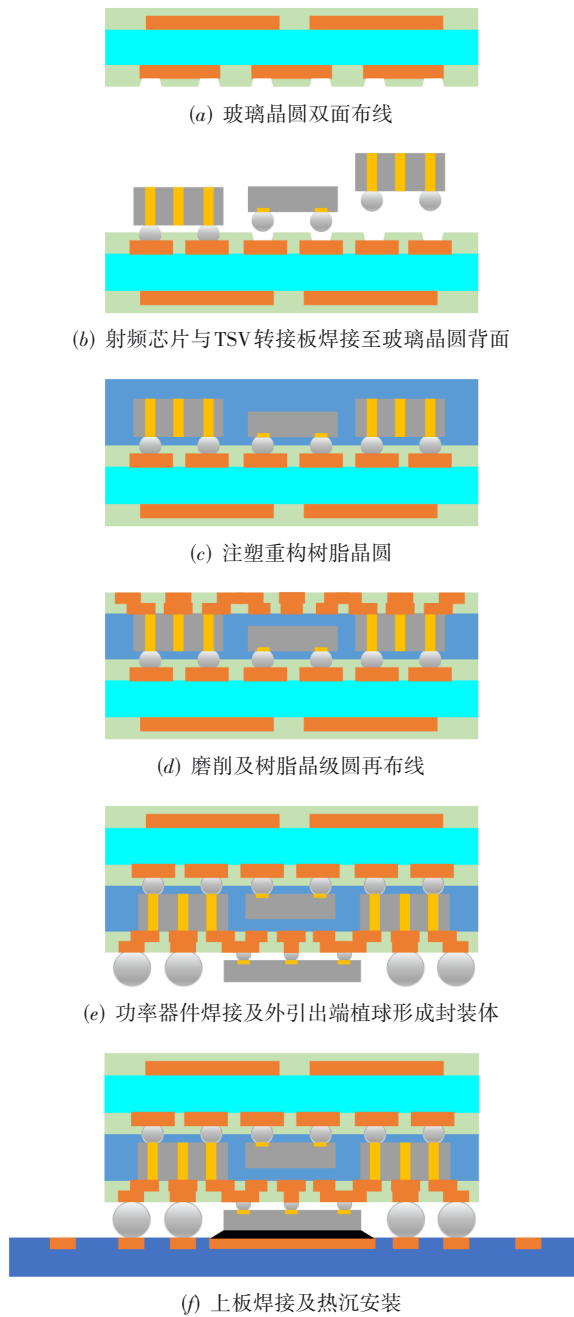


图18 射频微系统集成工艺流程

和细磨两个步骤:一方面控制减薄面的粗糙度,另一方面使磨出的铜柱界面更平整,以更好地实现信号完整性和连续性.在细磨之后,使用湿法微腐蚀铜和干法气体刻蚀树脂工艺,增大绝缘层的比表面积,进而提升与下一布线的结合力.图21是树脂面减薄粗磨与细磨对比照片.

再将控制、电源管理等芯片倒装焊至重构的新晶圆背面的UBM层上;在重构的晶圆载体背面UBM层处植上焊球凸点,形成最终封装体.三维扇出型射频微系统与天线一体化集成的工艺样机如图22所示.

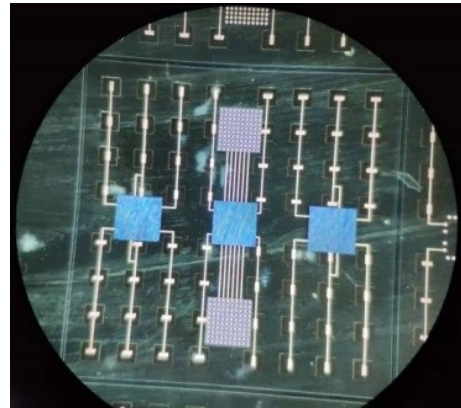


图19 芯片倒装焊至玻璃晶圆背面

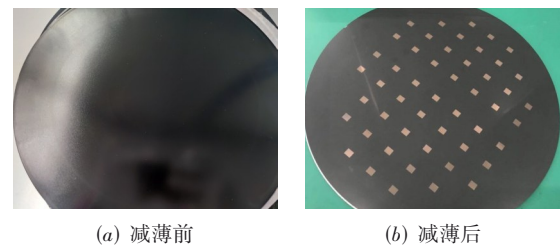


图20 玻璃与树脂键合晶圆与树脂面减薄漏铜照片

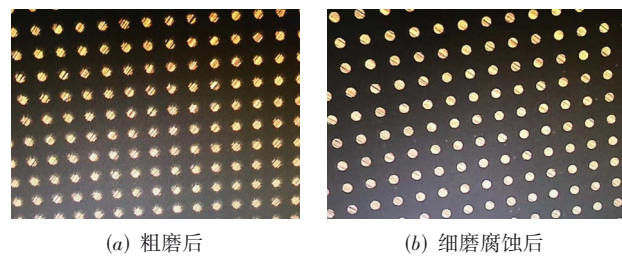


图21 减薄漏铜粗磨和细磨对比图

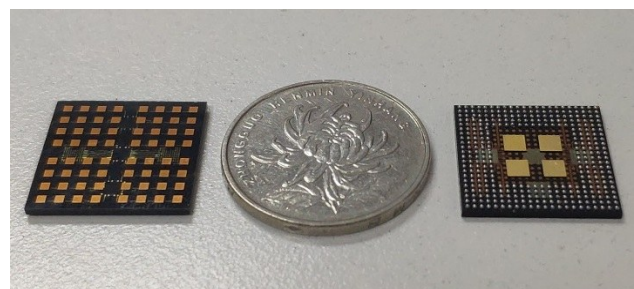


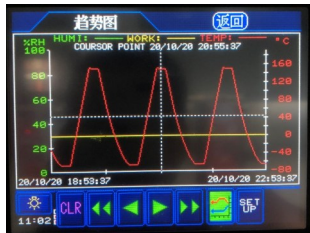
图22 三维扇出型射频微系统工艺样机

4.4 三维集成微系统扇出型封装可靠性试验

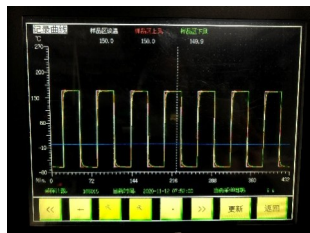
在三维集成微系统工艺样机制备完成之后,对该结构进行可靠性摸底试验.依据微系统产品的环境使用要求,依次将三维集成微系统工艺样机进行温度循环试验、温度冲击试验和HAST试验.每项试验后,对三维集成微系统工艺样机进行外观检查和X-RAY检查,HAST试验后,对三维集成微系统工艺样机进行声扫.可靠性具体试验条件如表3和图23所示.

表 3 可靠性试验条件

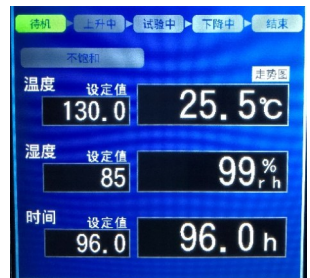
试验类型	试验条件
温度循环试验	温度为-65 °C至 150 °C,温度点保持 10 min,温变速率为 10 °C/min;共 500 次循环
温度冲击试验	温度为-65 °C至 150 °C,温度点保持 30 min;共 100 次
HAST 试验	温度为 130 °C,湿度为 85%RH;共 96 h



(a) 温度循环试验设置

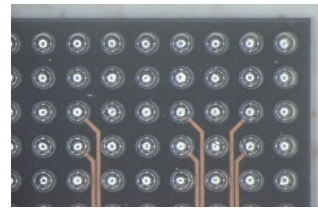


(b) 温度冲击试验设置

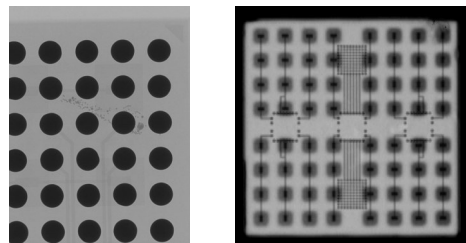


(c) HAST 试验设置

图 23 试验条件设置



(a) 温度循环试验后外观图



(b) 温度冲击试验后 X-RAY 检查图 (c) HAST 试验后超声检查图

图 24 可靠性试验结果

可靠性试验后,三维集成微系统工艺样机外观和 X-RAY 检查结果均未见明显焊点脱落现象,器件内部结构和线路均未见异常.声扫检测结果未见空洞和分层现象.图 24 分别是温度循环试验后外观图、温度冲击试验后 X-RAY 检查结果和 HAST 试验后超声检查结果.

由于该三维集成微系统工艺样机所采用的射频芯片为供工艺开发使用的电性能测试不合格芯片,天线层和布线层金属互连线也均为 Dummy 线,不具备实际的电气意义和系统功能,仅作为技术开发和工艺过程展示.对三维集成微系统扇出型封装工艺过程的开发和工艺样机的可靠性试验表明,该三维集成结构集成密度高,且不存在明显缺陷,可以在微系统集成封装中

使用.

5 结论

本文利用三维扇出型晶圆级再布线技术,首先制作了 CPW 平面传输线和堆叠的 CPW 传输结构,并验证了 CPW 的射频传输性能.通过射频毫米波探针对 CPW 传输线的 S 参数测试,得到玻璃晶圆在 0~67 GHz 范围内的射频传输损耗值.结果表明玻璃晶圆的射频传输损耗在 60 GHz 时仅为 0.6 dB,扇出型封装引入的损耗很小,这表明玻璃晶圆可以作为射频器件的封装基板.然后在 12 英寸玻璃晶圆上制作了一种 5G 通信用的缝隙耦合天线,天线工作在 56.2~63.8 GHz,工作带宽内天线最大增益可以达到 6 dB.在此基础上设计了一种用于 5G 通信用的三维扇出型射频微系统与天线一体化集成样机,通过晶圆级扇出型封装工艺平台,完成了样机的制作,采用玻璃晶圆与树脂晶圆永久键合的工艺,实施过程中省掉了玻璃晶圆与树脂晶圆堆叠的工艺,这样使封装体的结构强度更高、可靠性更高、翘曲更小、工艺复杂度更低,而且缩短了加工的周期.通过以上结论验证了玻璃晶圆作为射频器件封装的有效性.这为 5G 通信提供了一种切实可行的三维扇出型微系

统与天线一体化集成解决方案.

参考文献

- [1] ALHENAWY M, SCHNEIDER M. Antenna-in-package (AiP) in mm-wave band[J]. International Journal of Microwave and Wireless Technologies, 2013, 5(1): 55-64.
- [2] WANG M Y, DING T J, GU L, et al. Overview of heterogeneous integration microsystem for information processing applications[J]. Electronics & Packaging, 2021, 21(10): 100102.
- [3] JIN C, SEKHAR V N, BAO X Y, et al. Antenna-in-package design based on wafer-level packaging with through silicon via technology[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2013, 3(9): 1498-1505.
- [4] WATANABE A, LIN T H, RAJ P M, et al. Leading-edge and ultra-thin 3D glass-polymer 5G modules with seamless antenna-to-transceiver signal transmissions[C]//2018 IEEE 68th Electronic Components and Technology Conference (ECTC). San Diego: IEEE, 2018: 2026-2031.
- [5] ZHANG Y P, MAO J F. An overview of the development of antenna-in-package technology for highly integrated wireless devices[J]. Proceedings of the IEEE, 2019, 107(11): 2265-2280.
- [6] FISCHER A, TONG Z Q, HAMIDIPOUR A, et al. A 77-GHz antenna in package[C]//2011 8th European Radar Conference. Manchester: IEEE, 2011: 428-431.
- [7] TSAI C H, HSIEH J S, LIU M, et al. Array antenna integrated fan-out wafer level packaging (InFO-WLP) for millimeter wave system applications[C]//2013 IEEE International Electron Devices Meeting. Washington: IEEE, 2014: 25.1.1-25.1.4.
- [8] CHANG C C, LIN C C, CHENG W K. Fully integrated 60 GHz switched-beam phased antenna array in glass-IPD technology[J]. Electronics Letters, 2015, 51(11): 804-806.
- [9] LIU D X, GU X X, BAKS C W, et al. Antenna-in-package design considerations for ka-band 5G communication applications[J]. IEEE Transactions on Antennas and Propagation, 2017, 65(12): 6372-6379.
- [10] ZHANG T, LI L M, XIE M, et al. Low-cost aperture-coupled 60-GHz-phased array antenna package with compact matching network[J]. IEEE Transactions on Antennas and Propagation, 2017, 65(12): 6355-6362.
- [11] LIU D X, ZHANG Y P. Integration of array antennas in chip package for 60-GHz radios[J]. Proceedings of the IEEE, 2012, 100(7): 2364-2371.
- [12] ZHANG Y P, LIU D X. Antenna-on-chip and antenna-in-package solutions to highly integrated millimeter-wave devices for wireless communications[J]. IEEE Transactions on Antennas and Propagation, 2009, 57(10): 2830-2841.
- [13] ZHU L, MELDE K L, PRINCE J L. A broadband CPW-to-microstrip via-less transition for on wafer package probing applications[C]//Electrical Performance of Electrical Packaging (IEEE Cat. No. 03TH8710). Princeton: IEEE, 2003: 75-78.
- [14] ISHIBASHI D, NAKATA Y. Planar antenna for terahertz application in fan out wafer level package[J]. International Symposium on Microelectronics, 2017, 2017(1): 599-603.

作者简介



夏晨辉 男,1992年出生,河南人. 中国电子科技集团公司第五十八研究所工程师. 主要研究方向为异质异构微系统集成、射频天线一体化、三维集成先进封装技术等.
E-mail: smartxvip@163.com



王 刚(通讯作者) 男,1986年出生,山西人. 中国电子科技集团公司第五十八研究所工程师高级工程师. 主要研究方向 MEMS、微系统、晶圆级封装技术等.
E-mail: wanggang_cetc@126.com